



Docket No. 200569US2/vdm

#4 2812
12/13/01
Molles
RECEIVED
AUG -3 2001

UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Koichi MOTOIKE

GAU: 2812

SERIAL NO: 09/841,595

EXAMINER:

TECHNOLOGY CENTER 2800

FILED: April 25, 2001

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
JAPAN	2000-126006	April 26, 2000

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Paul A. Sacher
Marvin J. Spivak
Registration No. 24,913

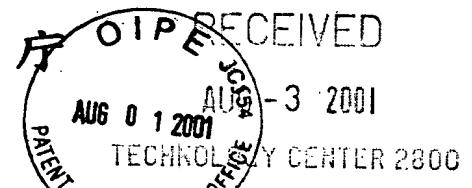


22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Paul A. Sacher
Registration No. 43,418

日本国特許
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 4月26日

出願番号
Application Number:

特願2000-126006

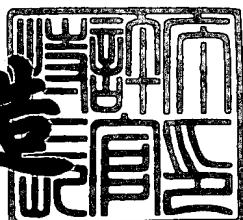
出願人
Applicant(s):

東芝マイクロエレクトロニクス株式会社
株式会社東芝

2001年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3035958

【書類名】 特許願
【整理番号】 12525801
【提出日】 平成12年 4月26日
【あて先】 特許庁長官殿
【国際特許分類】 B23K 13/00
【発明の名称】 半導体集積回路
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内
【氏名】 本池 弘一
【特許出願人】
【識別番号】 000221199
【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1
【氏名又は名称】 東芝マイクロエレクトロニクス株式会社
【特許出願人】
【識別番号】 000003078
【住所又は居所】 神奈川県川崎市幸区堀川町72番地
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100064285
【弁理士】
【氏名又は名称】 佐藤 一雄
【選任した代理人】
【識別番号】 100088889
【弁理士】
【氏名又は名称】 橋谷 英俊
【選任した代理人】
【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項1】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子および接地端子との間に介挿されるインダクタ素子を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート-ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号の基本波周波数で直列共振するように、前記インダクタ素子のインダクタンス値を設定することを特徴とする半導体集積回路。

【請求項2】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子との間に直列接続されるインダクタ素子および第1のキャパシタ素子を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート-ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号の基本波周波数で直列共振するように、前記インダクタ素子のインダクタンス値を設定することを特徴とする半導体集積回路。

【請求項3】

前記FETのゲート端子とソース端子との間に介挿される第2のキャパシタ素子を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に前記FETの寄生レジスタンス成分がみかけ上小さくなるように、前記第2のキャパシタ素子のキャパシタ値を設定することを特徴とする請求項1または2に記載の半導体集積回路。

【請求項4】

前記FETのドレイン端子とソース端子との間に介挿される第3のキャパシタ素子を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に前記FETの寄生レジスタンス成分がみかけ上小さくなるように、前記第3のキャパシタ素子のキャパシタンス値を設定することを特徴とする請求項1～3のいずれかに記載の半導体集積回路。

【請求項5】

前記FETのドレイン端子に接続され、前記FETのドレイン電圧とソース電圧との大小関係を切替制御する制御信号入力回路を備えることを特徴とする請求項1～4のいずれかに記載の半導体集積回路。

【請求項6】

前記FETのゲート端子、ドレイン端子およびソース端子の少なくともいずれか一つに直流バイアス電圧を供給するバイアス供給回路を備えることを特徴とする請求項1～5のいずれかに記載の半導体集積回路。

【請求項7】

前記制御信号入力回路は、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETのゲート・ドレイン間容量C_{gd}、ゲート・ソース間容量C_{gs}、ドレイン・ソース間抵抗R_{ds}、および負荷抵抗RLの関数であるC_{gd}／(C_{gd} + C_{gs})・R_{ds}／(R_{ds} + RL)が最小となるように、ドレイン・ソース間電圧を設定することを特徴とする請求項6に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ASK(Amplitude Shift Keying)変調用のICやスイッチなどに用いられるFETを有する半導体集積回路に関する。

【0002】

【従来の技術】

FET(電界効果トランジスタ)をスイッチとして用いる場合、オン状態のときは信号伝達量が多い方が望ましく、また、オフ状態のときはなるべく信号伝達

量が少ない方が望ましい。

【0003】

FETがオフ状態のときに、FETのドレイン-ソース間電圧 V_{ds} がゼロになるようにして信号伝達量を下げる回路が従来から提案されている。この種の回路では、FETのもつ寄生容量の影響で、FETの一段当たり、(-10dB)以上に伝達量を抑えるのは困難である。

【0004】

【発明が解決しようとする課題】

図10はFETの等価回路図である。この等価回路を用いて、FETがオフ状態のときに信号伝達量を十分に低くできない理由を説明する。

【0005】

図10において、FETがオフ状態のときは、以下の(1)～(4)式の関係が成り立つ。

【0006】

$$R_i, R_g, R_d, R_s \ll R_{ds} \ll |1/(\omega \cdot C_{ds})| \quad \dots (1)$$

$$g_m = \text{約} 0 \quad \dots (2)$$

$$C_{gd} = \text{約} C_{gs} \quad \dots (3)$$

$$R_d \ll R_{ds} \ll R_L \quad \dots (4)$$

これら(1)～(4)式の関係より、ゲート端子に入力された信号は、 $C_{gd}/(C_{gd} + C_{gs})$ と $R_{ds}/(R_{ds} + R_L)$ との積に依存する量で、負荷抵抗 R_L に伝達する。

【0007】

C_{gd} 、 C_{gs} 、および R_{ds} 等のパラメータは、FETのドレイン-ソース間電圧 V_{ds} の関数であり、 $V_{ds} = 0$ のときには上記の積はゼロにはならない。

【0008】

一方、 V_{ds} がゼロでないとした場合は、 V_c と g_m との積がゼロにならず、 V_c と g_m との積で生じる電流により、信号の伝達量が増加するという問題がある。

【0009】

また、上記の(1)および(4)式の関係を満たし、かつ、 $C_{gd}/(C_{gd} + C_{gs})$

s)と $R_{ds}/(R_{ds}+RL)$ との積が最小となる V_{ds} を選択した場合でも、 g_m と V_c はいずれもゼロにならず、やはり V_c と g_m との積に依存する電流により、信号の伝達量が増加するという問題がある。

【0010】

本発明は、このような点に鑑みてなされたものであり、その目的は、FETがオフ時の信号伝達量をできるだけ小さくし、かつ信号伝達量の可変比を向上できる半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、前記FETのソース端子および接地端子との間に介挿されるインダクタ素子を備え、前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート-ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号の基本波周波数で直列共振するように、前記インダクタ素子のインダクタンス値を設定する。

【0012】

請求項1の発明では、FETのドレイン電圧がソース電圧よりも低い場合に、FETのゲート-ソース間のインピーダンスのリアクタンス成分に対してインダクタ素子を直列共振させることができ、FETがオフ時の信号伝達量を低減できる。

【0013】

請求項2の発明では、FETのソース端子と接地端子との間にインダクタ素子とキャパシタ素子を直列接続するため、直流成分をキャパシタ素子で遮断でき、インダクタ素子に直流成分が流れなくなることから、消費電力を低減できる。

【0014】

請求項3の発明では、FETのゲート端子とソース端子との間に第2のキャパシタ素子を介挿するため、FETの寄生レジスタンス成分をみかけ上小さくすることができ、信号の選択度であるQが大きくなる。

【0015】

請求項4の発明では、FETのドレイン端子とソース端子との間に第3のキャパシタ素子を介挿するため、FETの寄生レジスタンス成分をみかけ上小さくすることができ、信号の選択度であるQが大きくなる。

【0016】

請求項5の発明では、FETのドレイン端子に制御信号入力回路を接続するため、FETのドレイン電圧とソース電圧との大小関係を任意に設定変更することができる。

【0017】

請求項6の発明では、FETのゲート端子、ドレイン端子およびソース端子の少なくともいずれかにバイアス供給回路を接続するため、個々のFETに最適なバイアス条件を設定できる。

【0018】

請求項7の発明では、FETのドレイン電圧がソース電圧よりも低いオフ状態のときに、 $C_{gd}/(C_{gd}+C_{gs}) \cdot R_{ds}/(R_{ds}+R_L)$ が最小となるように、ドレイン・ソース間電圧を設定するため、オフ状態のときの信号伝達量を低減できる。

【0019】

【発明の実施の形態】

以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説明する。

【0020】

(第1の実施形態)

図1は本発明に係る半導体集積回路の第1の実施形態の回路図である。図1の半導体集積回路は、化合物半導体（例えば、GaAs）を材料とするMES型のFETを用いたASK(Amplitude Shift Keying)変調用のICの主要部を示している。

【0021】

従来のASK変調用ICと比較して、図1の回路は、FET10のソース端子

と接地端子との間にインダクタ素子（コイル）1を介挿した点に特徴がある。

【0022】

FET10のゲート端子と入力端子INとの間にはLo入力整合回路2が介挿され、FET10のゲート端子にはバイアス供給回路3が接続されている。また、FET10のドレイン端子と出力端子OUTとの間にはRF出力整合回路4が介挿され、FET10のドレイン端子には制御信号入回路5が接続され、FET10のソース端子にはバイアス供給回路6が接続されている。

【0023】

制御信号入回路5からの制御信号により、FET10のドレイン電圧とソース電圧との大小関係を任意に切替制御することができる。また、バイアス回路からのバイアス信号により、FET10を最適なバイアス条件に設定することができる。

【0024】

図1において、FET10のソース端子と接地端子との間に介挿されたインダクタ素子1は、FET10がオフ状態のときに、FET10のゲート-ソース間インピーダンスのリアクタンス成分との間で直列共振するように、インダクタ素子1のインダクタンス値が設定されている。このような直列共振が起きると、FET10の出力側に信号が伝達されなくなり、信号伝達量を低減できる。

【0025】

ここで、FET10のゲート-ソース間インピーダンスのリアクタンス成分Xcは(5)式で表される。

【0026】

$$Xc = \frac{-\omega \cdot (Cgd + Cgs) - \omega^3 \cdot Cgd^2 \cdot Cgs \cdot Rds^2}{[(\omega^2 \cdot Cgd \cdot Cgs \cdot Rds)^2 + \{\omega \cdot (Cgs + Cgd)\}^2]} \quad \dots (5)$$

ここで、 $\omega = 2\pi f$ であり、fは共振周波数または所望の周波数である。

【0027】

(5)式にて求められたXcを以下の(6)式に代入することにより、インダクタ素子1のインダクタンス値を求めることができる。

【0028】

$$|Xc|/\omega = L \quad \dots (6)$$

また、FET10がオフ状態のときのレジスタンス成分Rは(7)式で近似することができる。

【0029】

$$R = \{\omega^2 \cdot C_{gd} \cdot R_{ds} \cdot (C_{gs} + C_{gd}) - \omega^2 \cdot C_{gd} \cdot C_{gs} \cdot R_{ds}\} \\ / [(\omega^2 \cdot C_{gd} \cdot C_{gs} \cdot R_{ds})^2 + \{\omega \cdot (C_{gs} + C_{gd})\}^2] \quad \dots (7)$$

信号の選択度を示すQは、(6)および(7)式を用いて(8)式のように表すことができる。

【0030】

$$Q = \omega L / R \quad \dots (8)$$

図2は図1のFET10の伝達特性(S21)を示す図であり、図中の曲線aはオン特性、曲線bはオフ特性を示している。なお、図2の横軸は周波数(GHz)、縦軸は信号強度(dB)である。

【0031】

図2は使用帯域が5~6GHzを想定して図1のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5~6GHzの周波数帯域で(-15dB)以下にまで信号伝達量が減少することがわかる。

【0032】

なお、制御信号入力回路5は、FET10をオフ状態にする際には、 $C_{gd}/(C_{gd} + C_{gs}) \cdot R_{ds} / (R_{ds} + R_L)$ が最小となるように、FET10のドレイン・ソース間電圧を設定する。

【0033】

このように、第1の実施形態では、FET10のソース端子と接地端子との間にインダクタ素子1を介挿し、FET10がオフ状態のときに、このインダクタ素子1をFET10のゲート-ソース間インピーダンスとの間で直列共振させるようにしたため、FET10がオフ状態のときの信号伝達量を十分に小さくすることができる。

【0034】

(第2の実施形態)

第2の実施形態は、上記のインダクタ素子1に加えて、FET10のゲート端子とソース端子との間にキャパシタ素子を追加したものである。

【0035】

図3は本発明に係る半導体集積回路の第2の実施形態の回路図である。図3では図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0036】

図3の半導体集積回路は、図1の構成に加えて、FET10のゲート端子とソース端子との間に介挿されたキャパシタ素子（第2のキャパシタ素子）C1を有する。このキャパシタ素子C1を設けることにより、FET10の寄生レジスタンス成分がみかけ上小さくなり、Qが大きくなる。

【0037】

このキャパシタ素子を設けた場合のFET10のリアクタンス成分は(9)式で表される。

【0038】

$$X_C = \frac{-\omega \cdot (C_{gd} + C_{gs} + C_i) - \omega^3 \cdot C_{gd}^2 \cdot (C_{gs} + C_i) \cdot R_{ds}^2}{\sqrt{[\{\omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}\}^2 + \{\omega \cdot (C_{gs} + C_i + C_{gd})\}^2]}} \quad \dots (9)$$

(9)式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0039】

また、この場合のレジスタンス成分Rは(10)式で近似される。

【0040】

$$R = \frac{\omega^2 \cdot C_{gd} \cdot R_{ds} \cdot (C_{gs} + C_i + C_{gd}) - \omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}}{\sqrt{[\{\omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}\}^2 + \{\omega \cdot (C_{gs} + C_i + C_{gd})\}^2]}} \quad \dots (10)$$

この場合のQは $\omega L / R$ で表される。

【0041】

図4は図3のFET10の伝達特性(S21)を示す図であり、図中の曲線cはオン特性、曲線dはオフ特性を示している。

【0042】

図4は使用帯域が5～6GHzを想定して図3のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-20dB)以下にまで信号伝達量が減少することがわかる。

【0043】

このように、第2の実施形態では、FET10のゲート端子とソース端子との間にキャパシタ素子C1を介挿するため、FET10の寄生レジスタンス成分をみかけ上小さくでき、第1の実施形態よりもオフ時の信号減衰量を小さくできる。

【0044】

(第3の実施形態)

第3の実施形態は、上記のインダクタ素子1に加えて、FET10のドレイン端子とソース端子との間にキャパシタ素子を追加するものである。

【0045】

図5は本発明に係る半導体集積回路の第3の実施形態の回路図である。図5では図1と共に構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0046】

図5の半導体集積回路は、図1の構成に加えて、FET10のドレイン端子とソース端子との間に介挿されたキャパシタ素子(第3のキャパシタ素子)C2を有する。このキャパシタ素子C2を設けることにより、FET10の寄生レジスタンス成分がみかけ上小さくなり、Qが大きくなる。

【0047】

このキャパシタ素子を設けた場合のFET10のリアクタンス成分は(11)式で表される。

【0048】

$$X_C = -[(\omega^2 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_0^2 \cdot R_{ds}^2 + 1)]$$

$$\begin{aligned}
 & \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_o^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + C_{gs} \cdot (\omega^3 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_o^2 \cdot R_{ds} + \omega)\} \\
 & - (\omega^3 \cdot C_{gd}^2 \cdot R_{ds} \cdot C_{gs})] \quad \cdots (11)
 \end{aligned}$$

(11) 式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0049】

また、この場合のレジスタンス成分Rは(12)式で近似される。

【0050】

$$\begin{aligned}
 R = & [(\omega \cdot C_{gd} \cdot R_{ds}) \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_o^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + C_{gs} \cdot (\omega^3 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_o^2 \cdot R_{ds} + \omega)\} \\
 & + (\omega^2 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_o \cdot R_{ds} + 1) \\
 & \cdot (\omega^2 \cdot C_{gd} \cdot C_{gs})] \quad \cdots (12)
 \end{aligned}$$

この場合のQは $\omega L / R$ で表される。

【0051】

図6は図5のFET10の伝達特性(S21)を示す図であり、図中の曲線eはオン特性、曲線fはオフ特性を示している。

【0052】

図6は使用帯域が5~6GHzを想定して図5のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5~6GHzの周波数帯域で(-25dB)以下にまで信号伝達量が減少していることがわかる。

【0053】

このように、第3の実施形態では、FET10のドレイン端子とソース端子との間にキャパシタ素子を介挿するため、FET10の寄生レジスタンス成分をみかけ上小さくでき、第1の実施形態よりもオフ時の信号減衰量を小さくできる。

【0054】

(第4の実施形態)

第4の実施形態は、第1~第3の実施形態を組み合わせたものである。

【0055】

図7は本発明に係る半導体集積回路の第4の実施形態の回路図である。図7で

は図3および図5と共に構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0056】

図7の半導体集積回路は、図1の構成に加えて、FET10のゲート端子とソース端子との間に介挿されたキャパシタ素子C1と、FET10のドレイン端子とソース端子との間に介挿されたキャパシタ素子C2とを有する。

【0057】

これらキャパシタ素子C1, C2はいずれも、FET10の寄生レジスタンス成分をみかけ上小さくするためのものである。

【0058】

図7のFET10のリアクタンス成分Xcは(13)式で表される。

【0059】

$$\begin{aligned}
 Xc = & - [(\omega^2 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_o^2 \cdot R_{ds}^2 + 1) \\
 & \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_o^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_o^2 \cdot R_{ds} + \omega)\} \\
 & - \{\omega^3 \cdot C_{gd}^2 \cdot R_{ds} \cdot (C_i + C_{gs})\}] \\
 & / [\{(\omega \cdot C_{gd} + \omega^3 \cdot C_o^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_o^2 \cdot R_{ds} + \omega)\}^2 \\
 & + (\omega^2 \cdot C_{gd} \cdot (C_i + C_{gs}))^2] \quad \cdots (13)
 \end{aligned}$$

(11)式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0060】

また、この場合のレジスタンス成分Rは(14)式で近似される。

【0061】

$$\begin{aligned}
 R = & [(\omega \cdot C_{gd} \cdot R_{ds}) \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_o^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_o^2 \cdot R_{ds} + \omega)\} \\
 & + (\omega^2 \cdot C_o \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_o^2 \cdot R_{ds} + 1) \\
 & \cdot \{\omega^2 \cdot C_{gd} \cdot (C_i + C_{gs})\}] \quad \cdots (14)
 \end{aligned}$$

この場合のQは $\omega L / R$ で表される。

【0062】

図8は図7のFET10の伝達特性(S21)を示す図であり、図中の曲線gはオン特性、曲線hはオフ特性を示している。

【0063】

図8は使用帯域が5～6GHzを想定して図7のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-30dB)以下にまで信号伝達量が減少していることがわかる。

【0064】

このように、第4の実施形態では、FET10のゲート端子およびソース端子と、ドレイン端子およびソース端子間にそれぞれにキャパシタ素子C1, C2を介挿するため、FET10の寄生レジスタンス成分をより小さくでき、第1～第3の実施形態よりもオフ時の信号減衰量を小さくできる。

【0065】

(第5の実施形態)

第1～第4の実施形態では、FET10のソース端子と接地端子との間にインダクタ素子1を介挿しているため、ソース端子に接続されたバイアス供給回路6からインダクタ素子1を通って接地端子に常時電流が流れ、消費電力が増えるという問題がある。そこで、第5の実施形態は、この電流を遮断するようにしたるものである。

【0066】

図9は本発明に係る半導体集積回路の第5の実施形態の回路図である。図9では図7と共に構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0067】

図9の半導体集積回路は、FET10のソース端子と接地端子との間にインダクタ素子1とキャパシタ素子(第1のキャパシタ素子)C3を直列接続した点に特徴がある。具体的には、図7の構成にキャパシタ素子C3を追加したものである。

【0068】

このキャパシタ素子C3により、FET10のソース端子に接続されたバイアス供給回路6からの電流がインダクタ素子1に流れるのを阻止できる。

【0069】

なお、図9では、図7の回路にキャパシタ素子C3を追加した例を説明したが、図1、図3および図5においても、キャパシタ素子C3を追加することにより、消費電力の低減が図れる。

【0070】

上述した各実施形態では、本発明に係る半導体集積回路をASK変調用のICに適用した例について説明したが、本発明は、ASK変調以外の目的にも利用でき、例えば、FETで構成したスイッチにも適用可能である。

【0071】

上述した各実施形態では、FET10の各端子に制御信号入力回路5やバイアス供給回路3、6を接続しているが、FET10の一部の端子のみに制御信号入力回路5やバイアス供給回路3、6を接続してもよい。

【0072】

【発明の効果】

以上詳細に説明したように、本発明によれば、FETのソース端子および接地端子間にインダクタ素子を介挿し、ドレン電圧がソース電圧よりも低い場合に、ゲート-ソース間のインピーダンスのリアクタンス成分に対してインダクタ素子を直列共振させるため、FETがオフ時の信号伝達量を低減でき、信号伝達量の可変比を向上できる。

【0073】

また、FETのソース端子および接地端子間に、インダクタ素子とキャパシタ素子を直列接続することにより、インダクタ素子に本来流れるべき直流成分をキャパシタ素子で遮断でき、消費電力の低減が図れる。

【図面の簡単な説明】

【図1】

本発明に係る半導体集積回路の第1の実施形態の回路図。

【図2】

図1のFETの伝達特性(S21)を示す図。

【図3】

本発明に係る半導体集積回路の第2の実施形態の回路図。

【図4】

図3のFETの伝達特性(S21)を示す図。

【図5】

本発明に係る半導体集積回路の第3の実施形態の回路図。

【図6】

図5のFETの伝達特性(S21)を示す図。

【図7】

本発明に係る半導体集積回路の第4の実施形態の回路図。

【図8】

図7のFETの伝達特性(S21)を示す図。

【図9】

本発明に係る半導体集積回路の第5の実施形態の回路図。

【図10】

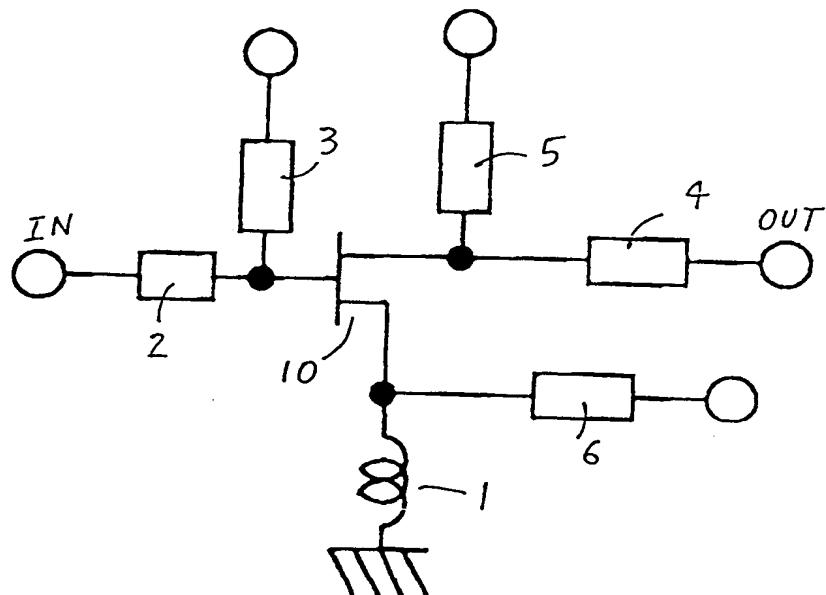
FETの等価回路図。

【符号の説明】

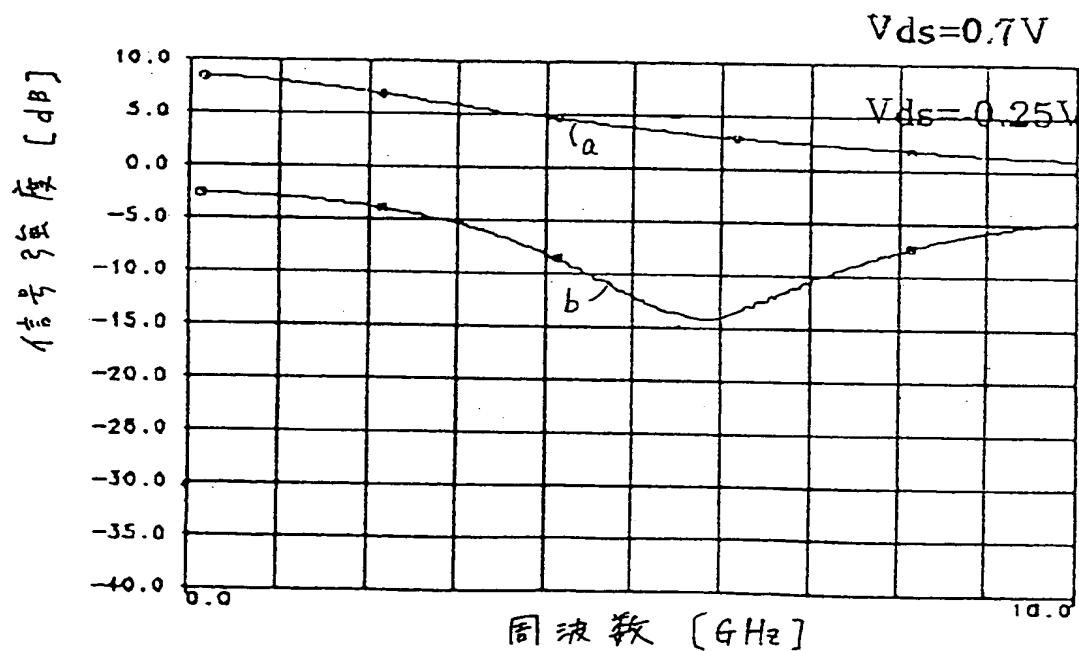
- 1 FET
- 2 Lo入力整合回路
- 3, 6 バイアス供給回路
- 4 RF出力整合回路
- 5 制御信号入力回路
- 10 FET

【書類名】 図面

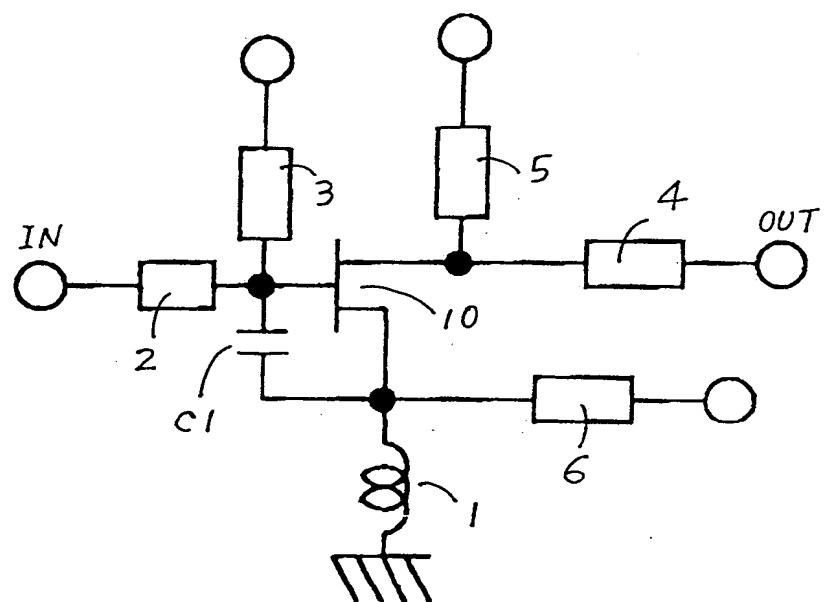
【図1】



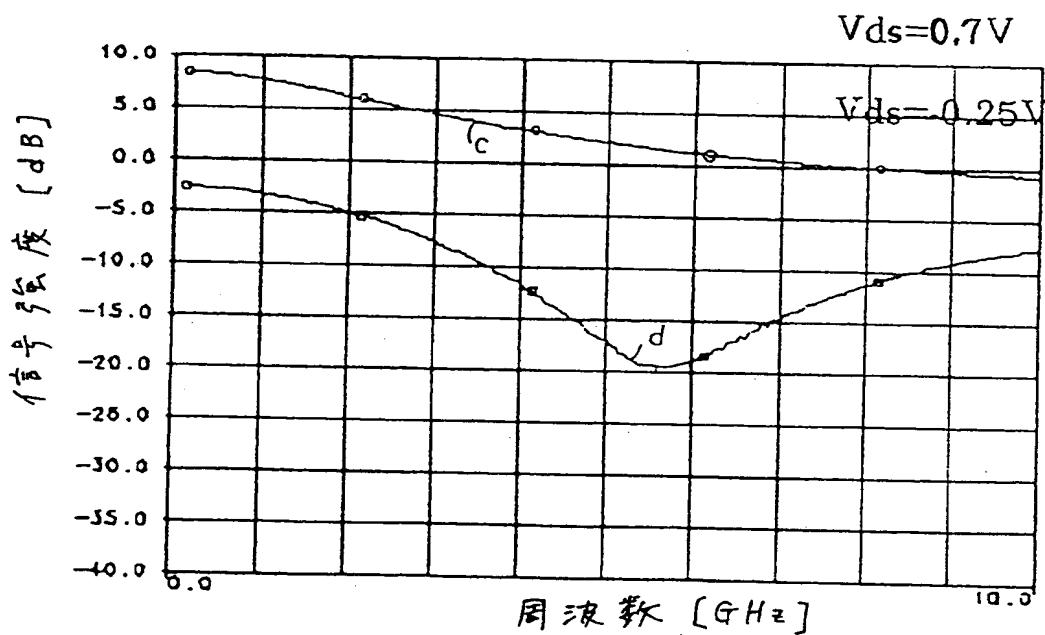
【図2】



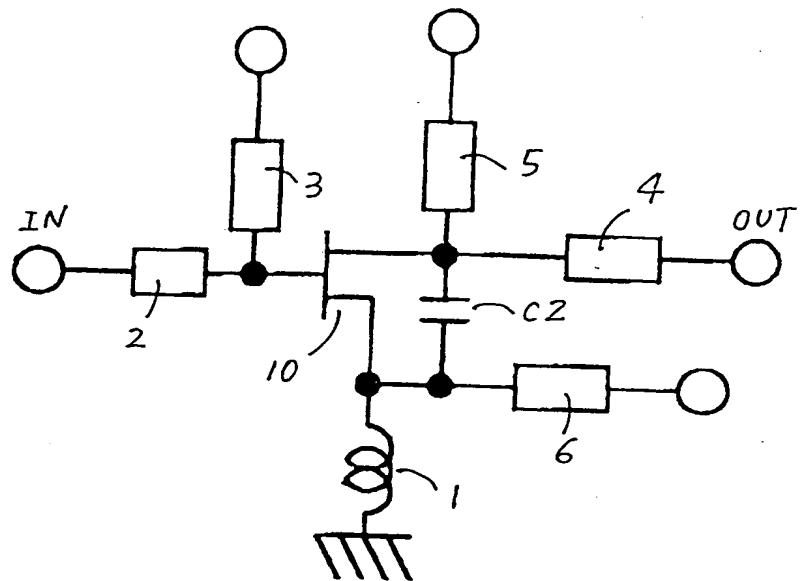
【図3】



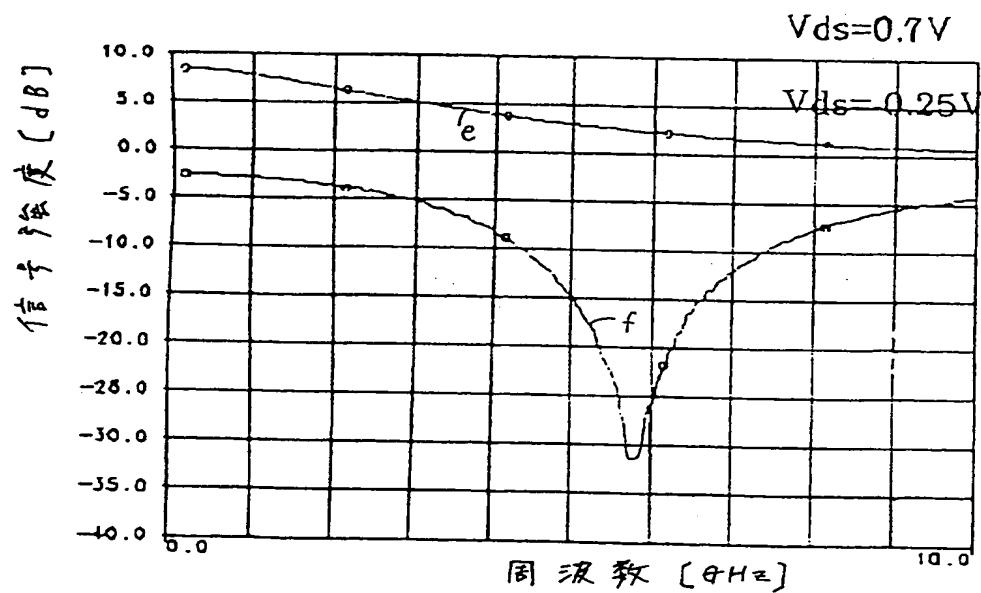
【図4】



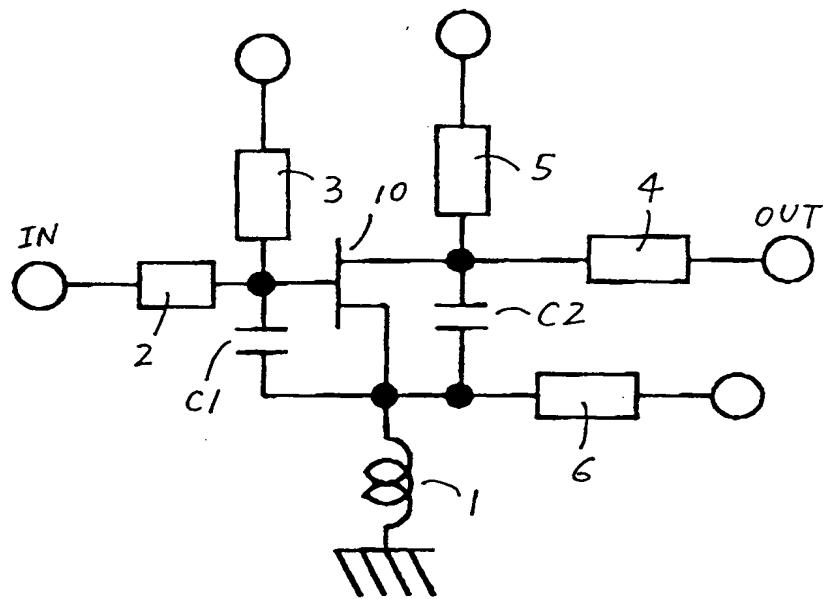
【図5】



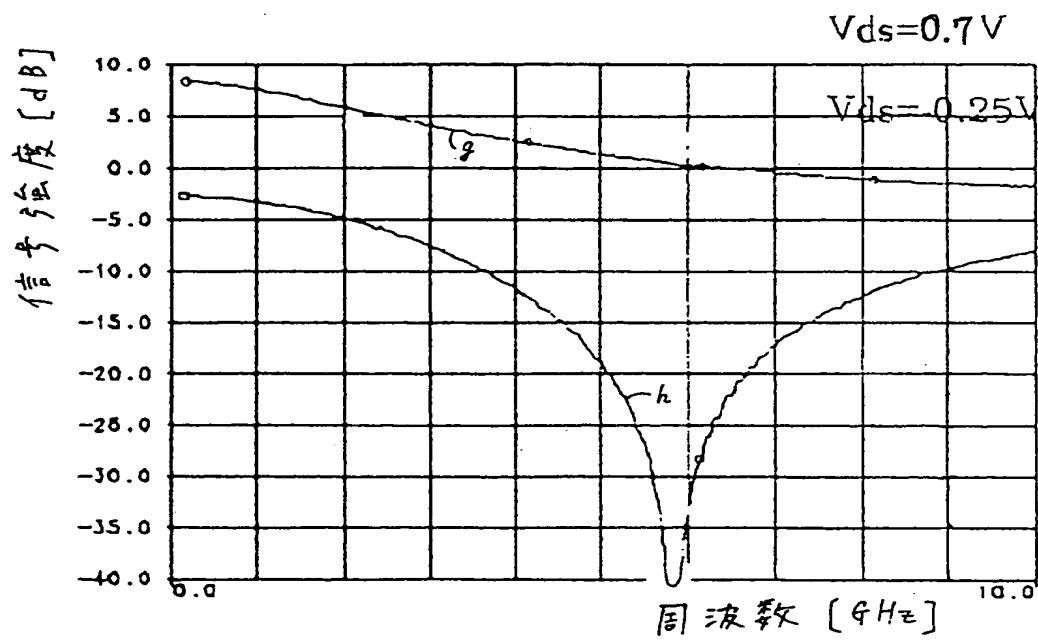
【図6】



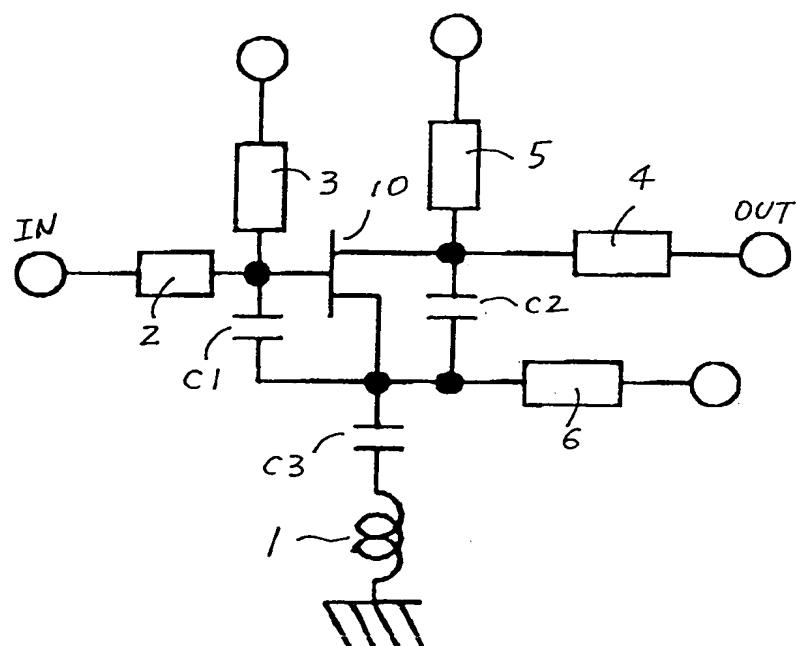
【図7】



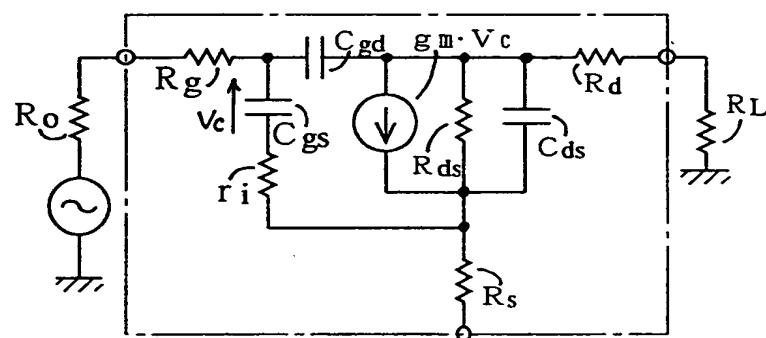
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 FETがオフ時の信号伝達量をできるだけ小さくし、かつ信号伝達量の可変比を向上できる半導体集積回路を提供する。

【解決手段】 本発明の半導体集積回路は、FET10のソース端子と接地端子との間に介挿されたインダクタ素子1と、FET10のゲート端子と入力端子との間に介挿されたLo入力整合回路2と、FET10のゲート端子に接続されたバイアス供給回路3と、FET10のドレイン端子と出力端子との間に介挿されたRF出力整合回路4と、FET10のドレイン端子に接続された制御信号入力回路5と、FET10のソース端子に接続されたバイアス供給回路6とを有する。FET10のゲート-ソース間インピーダンスのリアクタンス成分とインダクタ素子とは、FET10がオフ状態のときに直列共振するため、FET10がオフ時の信号伝送量を十分に小さくでき、信号伝達量の可変比を向上できる。

【選択図】 図1

出願人履歴情報

識別番号 [000221199]

1. 変更年月日 1990年 8月23日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区駅前本町25番地1

氏 名 東芝マイクロエレクトロニクス株式会社

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝